INSTITUTO POLITECNICO NACIONAL

ESCUELA SUPERIOR DE COMPUTO

Diseño de Sistemas Digitales

Practica 2

Restador y comparador de 4 bits

Integrantes:

Baez Pacheco Jonathan Leon

Guerra Salinas Edgar Rafael

Hernández Velázquez Luis Alberto

Martínez Berumen Juan Luis

Grupo: 3BV1

Fecha de entrega: 13/10/2025

Índice

[Introducción 2](#_Toc211611886)

[Restador Binario 3](#_Toc211611887)

[Restador de 4 bits 3](#_Toc211611888)

[Comparador binario 4](#_Toc211611889)

[Comparador de 4 bits 4](#_Toc211611890)

[Descripción en VHDL 5](#_Toc211611891)

[Resultados 9](#_Toc211611892)

[Conclusión 10](#_Toc211611893)

[Bibliografía 10](#_Toc211611894)

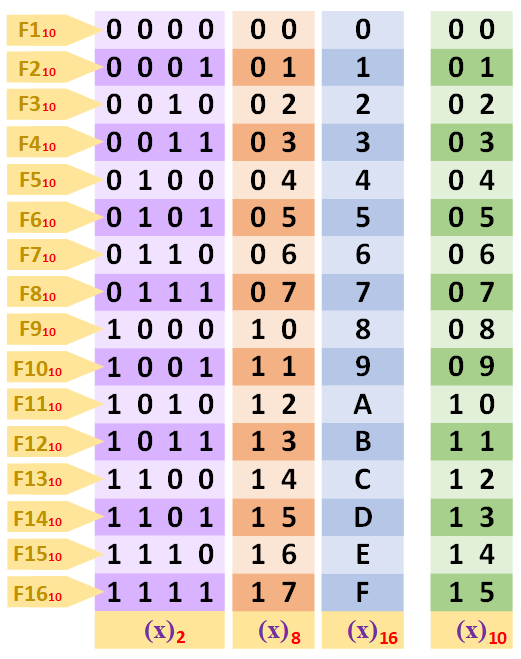
# Introducción

El presente proyecto tiene como objetivo diseñar, implementar y verificar el funcionamiento de un restador y de un comparador de 4 bits utilizando la tarjeta FPGA Nexys 4.

El desarrollo se realizó mediante el lenguaje VHDL, aprovechando las capacidades del FPGA Artix-7 presente en la tarjeta Nexys 4, junto con las herramientas de diseño Vivado Design Suite.

Dentro del estudio de Sistemas Digitales, existen las operaciones aritméticas y las operaciones lógicas que se realizan a través de los circuitos combinacionales diseñados para manipular números binarios.

Cuando hablamos de las operaciones Binarias podemos hablar sobre el restador y el comparador que puede ser binario (2 bits, es decir, 11 como máximo) y de 4 bits (1111 como máximo)



# Restador Binario

La resta binaria es una operación aritmética, que consiste en obtener la diferenci entre dos números expresados en base 2. En el sistema binario, las reglas de la resta son similares a las del sistema decimal pero solo involucrando 0 y 1.

|  |  |  |
| --- | --- | --- |
| Operación | Resultado | Préstamo |
| 0 – 0 | 0 | 0 |
| 1 – 0 | 1 | 0 |
| 1 – 1 | 0 | 0 |
| 0 – 1 | 1 | 1 (se toma préstamo del bit más significativo) |

La resta binaria se implementa mediante el complemento a dos, lo que permite utilizar el mismo circuito que un sumador para realizar restas.

# Restador de 4 bits

Es un circuito combinacional diseñado para realizar la resta entre dos numero binarios de 5 bits. Su función principal es obtener la diferencia entre dos operandos, cada uno representado por 4 bits, es decir: valores desde 0000 hasta 1111.

**Procedimiento:**

* Se toma el numero B (Sustraendo)
* Se invierte todos sus bits (se obtiene su complemento a uno)
* Se suma 1 al resultado, obteniendo el complemento a dos de B
* Finalmente, se suma ese resultado al número A

A – B = A + (complemento a dos de B)

# Comparador binario

El comparador binario es un circuito combinacional que compara dos números binarios y determina su relación de magnitud. El circuito genera tres posibles salidas lógicas

|  |  |
| --- | --- |
| A > B | Indica que el numero a es mayor a B |
| A = B | Indica que ambos números son iguales |
| A < B | Indica que el numero a es menor al B |

# Comparador de 4 bits

Es otro circuito combinacional pero su objetico no es realizar operaciones aritméticas, sino comparar dos números binarios de 4 bits para determinar su relación de magnitud.   
Al igual que el comparador binario compara si A es igual a B, B es menor que A o si B es mayor que A.

Solamente hace el análisis se hace de bit a bit desde el más significativo hacia el menos significativo.

# Descripción en VHDL

El código se escribió en VHDL usando la librería estándar IEEE.STD\_LOGIC\_1164.ALL.

**Código de restador de 4 bits:**

Texto

El contenido generado por IA puede ser incorrecto.

**Distribución de pines del restador de 4 bits:**

Interfaz de usuario gráfica, Texto

El contenido generado por IA puede ser incorrecto.

**Código del comparador de 4 bits**

**Texto

El contenido generado por IA puede ser incorrecto.**

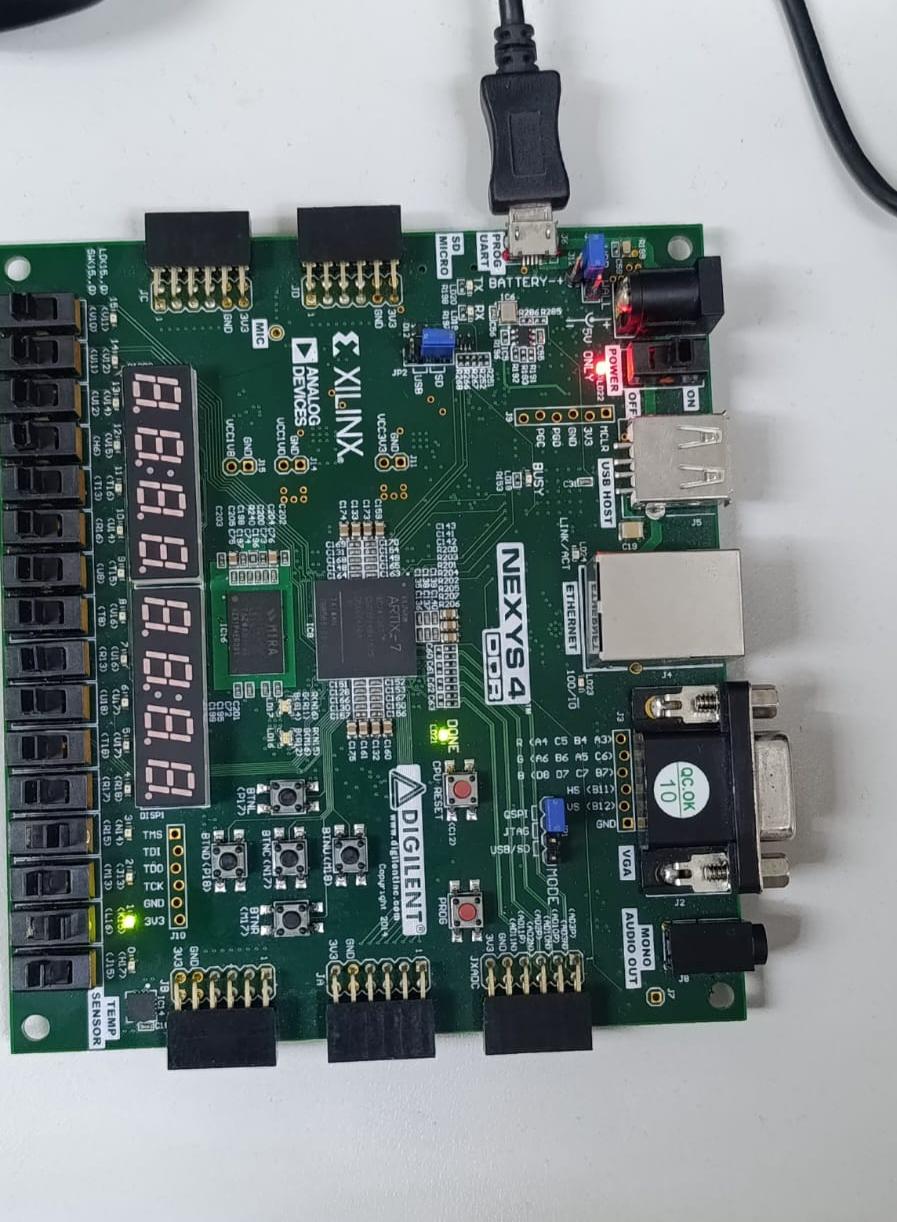
**Distribuicion de pines del comparador de 4 bits**

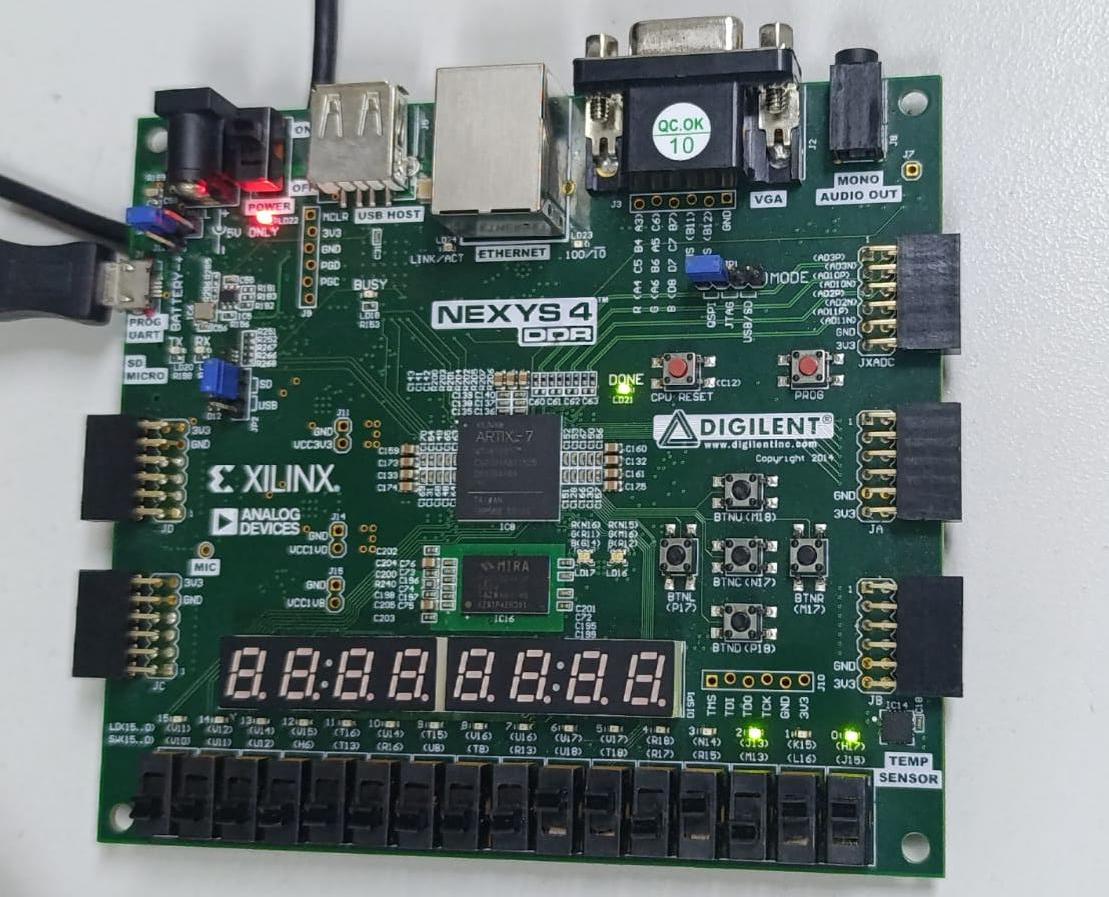
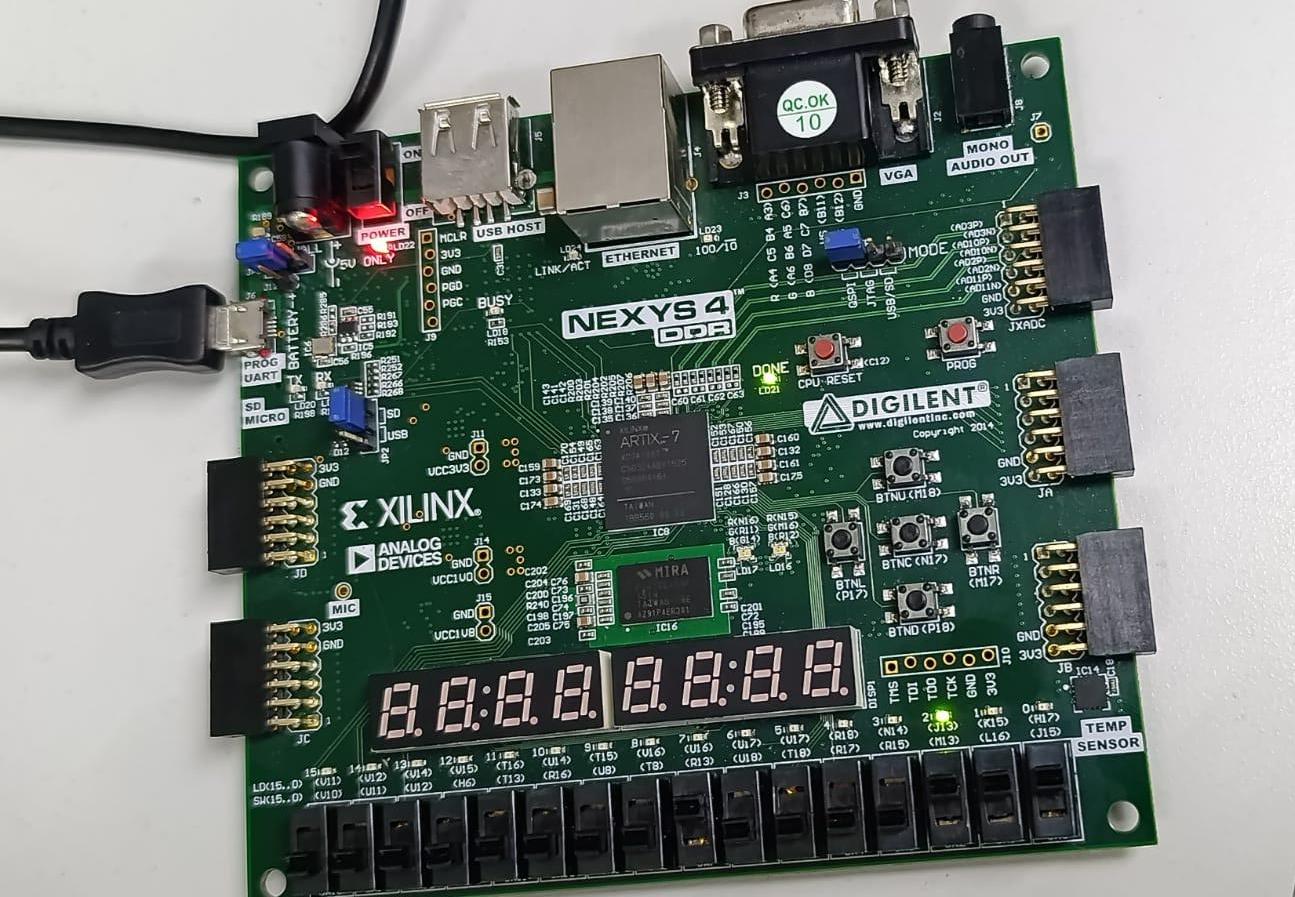
**Interfaz de usuario gráfica, Texto

El contenido generado por IA puede ser incorrecto.**

# Resultados

Durante las pruebas, se verificó que el sumador funciona correctamente para todas las combinaciones posibles de entrada (de 0000 a 1111 en ambos operandos). El bit de acarreo se enciende (LED4) cuando la suma excede el valor máximo representable por 4 bits (15 decimal o 1111 binario).

Ejemplo:

* Entradas: A = 1010 (10), B = 0111 (7)
* Salida: SUM = 0001 (1), COUT = 1
* Resultado esperado: 17 decimal → 1 con acarreo.

# Conclusión

* **Báez Pacheco Jonathan León**Durante la práctica aprendimos a aplicar los conceptos teóricos de la lógica digital en un entorno real, integrando el diseño, simulación y síntesis en el FPGA. Esta experiencia nos permitió comprender de manera más profunda cómo funcionan los circuitos combinacionales y el valor del aprendizaje práctico en la electrónica digital.
* **Guerra Salinas Edgar Rafael**A lo largo de la práctica aprendimos sobre la estructura y funcionamiento de los FPGA’s, comprendiendo su capacidad para implementar distintos tipos de circuitos lógicos. Además, fue sencillo encontrar información confiable, lo que demuestra su versatilidad y amplia documentación, facilitando el estudio y la aplicación de esta tecnología.
* **Hernández Velázquez Luis Alberto**Durante la práctica se presentaron dificultades al momento de programar las salidas del FPGA, principalmente al asignar las salidas correctamente los pines y verificar el comportamiento del circuito. Sin embargo, aprendimos a resolver problemas de configuración y a comprender mejor la relación entre el código y el hardware físico, fortaleciendo así nuestras habilidades en el manejo del dispositivo.
* **Martínez Berumen Juan Luis**En el proceso de programación del FPGA aprendimos a traducir los diseños digitales en código funcional, entendiendo cómo las instrucciones se transforman en operaciones dentro del hardware. Este aprendizaje permitió reforzar la lógica digital y la importancia de la simulación previa para asegurar un correcto funcionamiento.

# Bibliografía

**Restador**

* [Binary Subtractor | Electrical4U](https://www.electrical4u.com/binary-substractor/)
* [Restador de dos números de 4 bits](https://wilaebaelectronica.blogspot.com/2017/01/restador-de-dos-numeros-de-4-bits.html)

**Comparadaor**

* [**profesores.fi-b.unam.mx/normaelva/COMPARADORES\_BINARIOS.pdf**](http://profesores.fi-b.unam.mx/normaelva/COMPARADORES_BINARIOS.pdf)
* [**74LS85 datasheet(1/6 Pages) FAIRCHILD | 4-Bit Magnitude Comparator**](https://www.alldatasheet.es/html-pdf/51093/FAIRCHILD/74LS85/405/1/74LS85.html)